

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-015425

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

G09G 1/16
 G06F 3/153
 H04N 5/66
 // G09G 5/00

(21)Application number : 09-169950

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.06.1997

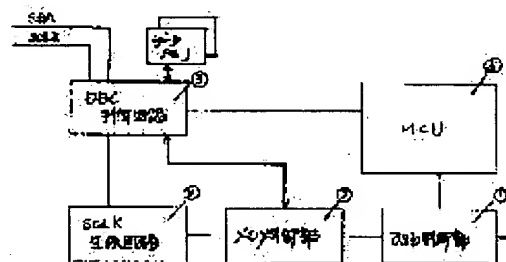
(72)Inventor : KIMURA KENICHI
 KAWAMURA MANABU

(54) DISPLAY MODE SWITCH CONTROL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify operation and to realize intuitive operation by transmitting a display mode switch signal from a display device to a system device and switching a display mode with the system device side according to that.

SOLUTION: When an On Screen Display(OSD) menu in the display device is started, the Established Timing block data in a memory of a Display Data Channel(DDC) control part 3 are read out by art OSD control part 1, a memory control part 2 to be stored in the data RAM of the OSD control part 1. The OSD displays adjustment functions and adjustment states such as screen size, position and contrast on a screen. When a display mode switch menu is started by OSD operation, by outputting information in the data RAM of the OSD control part 1 to the screen, a user can select surely and optionally the display mode within the range of the specification of the display device on the display device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-15425

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁸
 G 0 9 G 1/16
 G 0 6 F 3/153
 H 0 4 N 5/66
 // G 0 9 G 5/00

識別記号

3 3 0

5 1 0

F I

G 0 9 G 1/16 M
 G 0 6 F 3/153 3 3 0 A
 H 0 4 N 5/66 B
 G 0 9 G 5/00 5 1 0 X

審査請求 未請求 請求項の数1 OL (全 5 頁)

(21) 出願番号 特願平9-169950
 (22) 出願日 平成9年(1997) 6月26日

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72) 発明者 木村 健一
 神奈川県海老名市下今泉810番地 株式会
 社日立製作所オフィスシステム事業部内
 (72) 発明者 川村 学
 神奈川県海老名市下今泉810番地 株式会
 社日立製作所オフィスシステム事業部内
 (74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 表示モード切り替え制御ディスプレイ

(57) 【要約】

【課題】 従来、システム装置の出力信号はシステム装置のアプリケーションソフトウェアにて制御され表示モードを切り替えていたが、ディスプレイ装置にて表示モードの切り替え制御を行うことで操作の簡素化、直感的な操作を実現する。

【解決手段】 ディスプレイ装置からシステム装置にデータを送出するDDC制御信号を用い、E D I Dデータの読み出し、書き換え制御を行うことでシステム装置の表示モードを制御する。

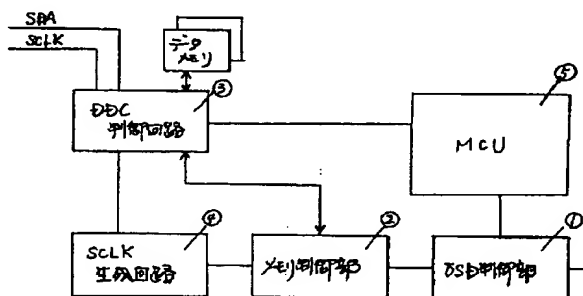


図1

【特許請求の範囲】

【請求項1】システム装置からの映像信号、同期信号によりグラフィック、キャラクタ表示を行い複数の表示モードに追従するディスプレイ装置において、ディスプレイ装置にて解像度、同期周波数の切り替え制御を行い、システム装置の表示モードを切り替える機能を備えたディスプレイ装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明はパーソナルコンピュータシステムの解像度、同期周波数等の表示モードを切り替えるための表示モード切り替え方式に関するものである。

【0002】

【従来の技術】従来、システム装置の表示モード切り替え制御はシステム装置のアプリケーションソフトウェアにて行われており、表示ドライバを介してグラフィックボードの各レジスタへ値をセットすることにより切り替えていた。

【0003】本操作はシステム装置側からの切り替え起動によるため、ディスプレイ装置の仕様範囲を越えた解像度、同期周波数設定が可能であり、誤動作の原因となっていた。

【0004】その後、Display Data Channel (DDC) インタフェースを採用することにより、ディスプレイ装置の解像度、同期周波数仕様等の情報をEDIDデータとしてディスプレイ装置からシステム装置へ送信し、ディスプレイ装置の仕様範囲を意識した設定を自動的に行うようになったが、アプリケーションの起動、選択、実行による複雑な操作性を必要とした。

【0005】

【発明が解決しようとする課題】ディスプレイ装置に表示モード切り替え機能を付加し、ディスプレイ装置から表示モード切り替え信号をシステム装置に送信しそれに応じてシステム装置側で表示モードを切り替えるようにする。

【0006】

【課題を解決するための手段】システム装置とディスプレイ装置間のインタフェースは映像信号、同期信号、DDC制御信号で構成されている。

【0007】映像信号、同期信号については、入力信号であり画面表示を行うための信号である。DDC制御信号は、Vsyncまたはシステム装置から出力されるSCLK信号により、同期し、ディスプレイ装置の各情報(解像度、対応周波数等)をEDIDデータとしてシステム装置へ送出する。

【0008】EDIDデータは128バイトで構成されており、解像度、同期周波数、タイミングデータが書き込まれている。

【0009】本発明はDDC制御信号を用い、EDID

データの読み出し、書き換え制御を行うことでシステム装置の表示モード切り替え制御を行うことを主な特徴とする。

【0010】

【発明の実施の形態】本発明の一実施例を図面により説明する。

【0011】DDC制御信号はデータ信号であるSDA信号、CLK信号であるSCLK信号で構成され、128バイトのEDIDデータをSCLK信号に同期してデータストリームする。図2はEDIDデータの中の基本タイミングを記述するEstablished Timingsブロックであり、Established Timing I, II, manufacture's Timingで構成される3バイトデータブロックである。

【0012】本ブロックはVESAで規定された基本タイミングを記述しており、これらの各ビットにFlag "1"を立てることにより、サポートタイミングとなり、"0"を立てることにより未サポートタイミングとなる。

【0013】通常、本ビットを有効にしたタイミングはディスプレイ装置のプリセットモードであり、これらタイミングが事実上ディスプレイ装置の仕様範囲内の表示モードと判断できる。(非標準的なタイミングをサポートしている場合は、Standard Timing Identificationブロック、Detailed Timing Descriptionブロックに記述される。)従って、Established Timingsブロックのデータを活用し、図3に示す処理フロー、図1に示すブロック図により実現する。

【0014】図3の処理フローを説明する。

【0015】ディスプレイ装置のOSDメニューが起動されるとOSD制御部、メモリ制御部によりDDC制御部のメモリ内Established Timingブロックデータを読み出し、OSD制御部のデータRAMに情報を格納する。

【0016】OSDとはOn Screen Displayの略で画面サイズ、位置、コントラスト等の調整機能及び調整状態を画面上に表示させるものである。

【0017】ディスプレイ装置のOSD操作により、表示モード切り替えメニューが起動された場合、OSD制御部のデータRAMの情報を画面に出力する。

【0018】本画面により、使用者がディスプレイ装置上で任意の表示モードを選択でき、かつ確実にディスプレイ装置の仕様範囲内の表示モードを選択できる。

【0019】使用者がOSDメニューにより表示モードを決定すると、当該表示モード以外のビットを"0"にし、DDC制御部のメモリを書き換えする。以下に使用者が1024x768ドット70Hzモードを選択した場合のメモリ書き換えの一例を示す。

【0020】

【表1】

表 1

Bit	Bit値		内容
	書き換え前	書き換え後	
			Established Timing I
7	1	0	720x400@70Hz
6	0	0	720x400@88Hz
5	1	0	640x480@60Hz
4	0	0	640x480@67Hz
3	1	0	640x480@72Hz
2	0	0	640x480@75Hz
1	0	0	800x600@56Hz
0	0	0	800x600@60Hz
			Established Timing II
7	1	0	800x600@72Hz
6	0	0	800x600@75Hz
5	0	0	832x624@75Hz
4	0	0	1024x768@87Hz
3	1	0	1024x768@60Hz
2	1	1	1024x768@70Hz
1	1	0	1024x768@75Hz
0	0	0	1280x1024@75Hz

【0021】ビット書き換え前
【0022】

【表2】

表 2

Established Timing I							
1	0	1	0	1	0	0	0

Established Timing II							
1	0	0	0	1	1	1	0

【0023】ビット書き換え後
【0024】

【表3】

表 3

Established Timing I							
0	0	0	0	0	0	0	0

Established Timing II							
0	0	0	0	0	1	0	0

【0025】ビット書き換え後のデータをEstablished Timingブロックとして保存し、DDC制御信号であるSDA信号よりデータを送信する。

【0026】このときのデータCLKはシステム装置から供給されないため、SCLK生成回路にてSCLK信号を生成し、DDC制御回路へ供給する。この生成SCLK信号によりデータ送信を行う。

【0027】書き換え後のデータは使用者が選択した当該モードのみが有効となっており、データ上、ディスプレイ装置が当該モードのみを表示可能なシングルスキャンディスプレイとなる。

【0028】データ送信後、システム装置は書き換えられた表示タイミングを認識し、シングルスキャンディスプレイとして処理、グラフィックボードの各レジスタへ

値を再セットする。これらの処理にて、表示モードを切り替える。

【0029】

【発明の効果】本発明によればディスプレイ装置にて表示モードの切り替え制御が行え、操作の簡素化、直間的な操作が実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す表示モード切り替え制御ブロック図である。

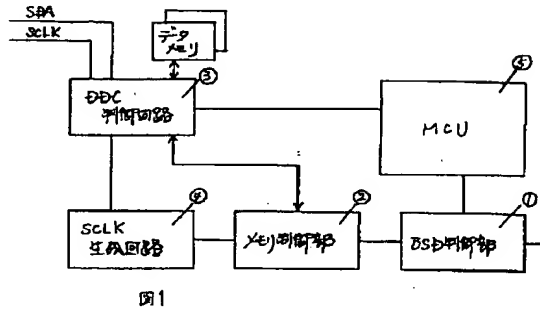
【図2】EDIDデータのEstablished Timingsブロック部である。

【図3】ディスプレイ装置による表示モード切り替え制御のフローチャートである。

【符号の説明】

1…OSD制御部、 2…メモリ制御部、 3… (マイクロプロセッサ)。
DDC制御部、4…SCLK生成回路、 5…MCU

【図1】



【図2】

3	Bytes	Bit	Description	Source
	1		Established Timing I	
		7	720 x 400 @ 70Hz	IBM, VGA
		6	720 x 400 @ 38Hz	IBM, XGA2
		5	640 x 350 @ 60Hz	IBM, VGA
		4	640 x 480 @ 67Hz	Apple, Mac II
		3	640 x 480 @ 72Hz	VESA
		2	640 x 480 @ 75Hz	VESA
		1	800 x 600 @ 36Hz	VESA
		0	800 x 600 @ 60Hz	VESA
	1		Established Timing II	
		7	800 x 600 @ 72Hz	VESA
		6	800 x 600 @ 75Hz	VESA
		5	832 x 624 @ 75Hz	Apple, Mac II
		4	1024 x 768 @ 87Hz(1)	IBM
		3	1024 x 768 @ 60Hz	VESA
		2	1024 x 768 @ 70Hz	VESA
		1	1024 x 768 @ 75Hz	VESA
		0	1280 x 1024 @ 75Hz	VESA
	1		Manufacturer's Timings	
		7	1152 x 870 @ 75Hz	Apple, Mac II
		6	Reserved	
		5	Reserved	
		4	Reserved	
		3	Reserved	
		2	Reserved	
		1	Reserved	
		0	Reserved	

【図2】

【図3】

